

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093702

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 21/20
H01L 29/786
H01L 21/336

(21)Application number : 2000-279029

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 14.09.2000

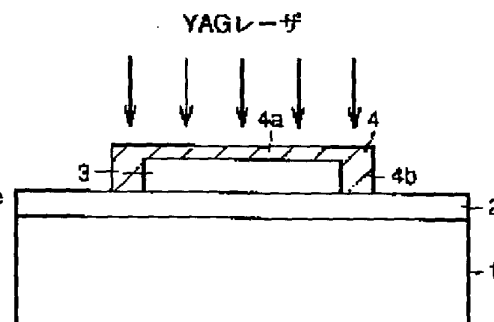
(72)Inventor : ABE HISASHI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method of a semiconductor device for forming a giant crystal grain or a single crystal, without reducing the yield.

SOLUTION: The manufacturing method of a semiconductor device comprises a process for forming an amorphous silicon film 3 on a glass substrate 1, a process for forming an absorption film (conductive film) 4 made of Mo, where the amount of absorption of laser beams at an upper portion 4a becomes smaller than that of the laser beams at a side 4b on the amorphous silicon film 3, and a process for crystallizing the amorphous silicon film 3 through utilizing of heat by allowing the absorption film 4 to generate heat to apply a continuous oscillation type YAG laser beam to the absorption film 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-93702
(P2002-93702A)

(43) 公開日 平成14年3月29日 (2002.3.29)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト* (参考)
H 0 1 L 21/20		H 0 1 L 21/20	5 F 0 5 2
29/786		29/78	6 2 7 G 5 F 1 1 0
21/336			

審査請求 未請求 請求項の数5 O L (全7頁)

(21) 出願番号 特願2000-279029(P2000-279029)

(22) 出願日 平成12年9月14日 (2000.9.14)

(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成12年度新エネルギー・産業技術総合開発機構「次世代液晶プロセス基盤技術に関わる先導研究開発」委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 阿部 寿

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100104433

弁理士 宮園 博一

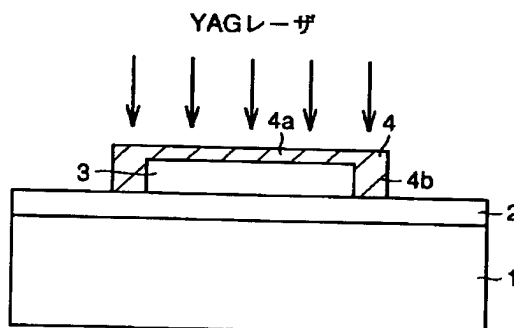
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することが可能な半導体装置の製造方法を提供する。

【解決手段】 ガラス基板1上に、非晶質シリコン膜3を形成する工程と、非晶質シリコン膜3上に、上部4aのレーザの吸収量が側部4bのレーザの吸収量よりも小さくなるようなMoからなる吸収膜 (導電膜) 4を形成する工程と、その吸収膜4に連続発振型YAGレーザを照射することにより吸収膜4を発熱させ、その熱を利用して非晶質シリコン膜3を結晶化する工程とを備えている。



【特許請求の範囲】

【請求項1】 基板上に非晶質膜を形成する工程と、前記基板上に、所定部分の電磁波の吸収量が前記所定部分以外の部分の電磁波の吸収量よりも小さくなるような導電膜を形成する工程と、

前記導電膜に前記電磁波を照射することにより前記導電膜を発熱させ、その熱を利用して前記非晶質膜を結晶化する工程とを備えた、半導体装置の製造方法。

【請求項2】 前記導電膜を形成する工程は、

前記所定部分の体積が前記所定部分以外の部分の体積よりも小さくなるように前記導電膜を形成する工程を含む、請求項1に記載の半導体装置の製造方法。

【請求項3】 前記電磁波は、連続発振型レーザー光およびランプ光のいずれかを含む、請求項2に記載の半導体装置の製造方法。

【請求項4】 前記導電膜を形成する工程は、前記所定部分の抵抗率が前記所定部分以外の部分の抵抗率よりも低くなるように前記導電膜を形成する工程を含む、請求項1に記載の半導体装置の製造方法。

【請求項5】 前記電磁波は、高周波およびマイクロ波のいずれかを含む、請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、薄膜トランジスタなどの半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、液晶表示装置の画素駆動用トランジスタとして、多結晶シリコン膜を能動層として用いた薄膜トランジスタ（以下、多結晶シリコンTFT）が採用されている。このような液晶表示装置では、低コスト化、高性能化および軽量コンパクト化のために、多結晶シリコンTFTの高性能化が要求されている。多結晶シリコンTFTの高性能化には、基板上的多結晶シリコン膜をできるだけ単結晶に近づける必要がある。

【0003】そして、従来では、非晶質シリコン膜を電気炉で加熱することによって、固相成長法により比較的大きな結晶粒径の多結晶シリコン膜を得る方法が実用化されている。固相成長法により大きな結晶粒径の多結晶シリコン膜を得るためには、最初の非晶質シリコン膜中に結晶核及びエンブリオ（結晶核のもと）等が少ないこと、核発生が起こりにくいこと、および、結晶が成長できる温度で熱処理を行うことなどが必要である。

【0004】従来の固相成長法では、結晶核及びエンブリオ等が少ない非晶質度の高い非晶質膜を形成するために、最初の非晶質シリコン膜をSi₂H₆を用いて成膜している。また、固相成長の熱処理温度は600℃前後で行われ、さらに、その後、結晶欠陥を除去するため、1000℃、30分程度の熱処理が行われる。固相成長法

は、このように高温で長時間の熱処理が行われるため、高温プロセスと呼ばれており、耐熱性の高い基板（たとえば、石英基板）が用いられる。

【0005】このような従来の固相成長法により得られる多結晶シリコン膜の結晶粒径は、0.5μm程度であり、それより大きい結晶を形成するのは困難であった。

【0006】そこで、近年、エキシマレーザーアニール（ELA）法を用いて、より大きな結晶粒径を得る技術が開発されている。このELA法は、基板への熱影響を回避するために、数100nsのバルス発振により短時間で結晶化を行う方法であり、安価なガラス基板を用いる低温プロセスでの結晶化方法の主流の技術である。また、ELA法では、200nm前後の短波長のレーザー光を用いるため、非晶質シリコンや多結晶シリコンへの吸収率が高い。これにより、短時間でシリコン膜を高温に加熱することができる。

【0007】このようなELA法の一例として、特開平6-140323号公報に開示されるようなエキシマレーザー光の干渉を用いたものが提案されている。この方法では、エキシマレーザー照射源と被照射膜との間に2本のスリットを設け、そのスリットを抜けた光を干渉させることにより、被照射膜上での照射強度に強弱を発生させる。この照射強度の強弱は、加熱される被照射膜の温度に反映されるので、高温領域からの結晶成長が優先されて起こる。これにより、大きな結晶粒の多結晶シリコン膜が得られる。

【0008】

【発明が解決しようとする課題】しかし、上記した従来のエキシマレーザーアニール（ELA）法では、加熱する半導体膜の膜厚や膜質により吸収率が大きく影響されるとともに、バルス発振の不安定さに起因してビーム強度がばらつくので、加熱を均一に行うことが困難であった。このため、素子特性がばらついて歩留まりが低下するという問題点があった。

【0009】また、従来のELA法では、装置コストや稼働コストが高いという不都合もあった。さらに、従来のELA法では、バルス発振であるため、レーザー光線の高速走査を行うことが困難である。このため、スループット（生産性）が低いという問題点もあった。

【0010】この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することが可能な半導体装置の製造方法を提供することである。

【0011】この発明のもう1つの目的は、巨大な結晶粒または単結晶を低コストおよび高スループットで形成することが可能な半導体装置の製造方法を提供することである。

【0012】

【課題を解決するための手段】請求項1による半導体装

置の製造方法は、基板上に非晶質膜を形成する工程と、基板上に、所定部分の電磁波の吸収量が所定部分以外の部分の電磁波の吸収量よりも小さくなるような導電膜を形成する工程と、導電膜に電磁波を照射することにより導電膜を発熱させ、その熱を利用して非晶質膜を結晶化する工程とを備えている。

【0013】請求項1では、上記のように、電磁波が照射された導電膜の発熱を利用して非晶質膜を間接的に加熱することにより結晶化を行うことによって、導電膜に照射される電磁波にある程度ばらつきがあったとしても、導電膜から熱が非晶質膜に放射される際に、熱のばらつきが緩和される。これにより、非晶質膜をほぼ均一に加熱することができる。その結果、巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することができる。また、導電膜を所定部分の電磁波の吸収量が所定部分以外の部分よりも小さくなるように形成することによって、その導電膜に電磁波を照射した場合に、所定部分の温度が所定部分以外の部分の温度に比べて低くなる。これにより、非晶質膜の結晶化時に、導電膜の所定部分に対応する非晶質膜の部分の温度が低くなるので、その温度の低い非晶質膜部分から結晶化が進行する。それにより、結晶化がランダムに進行する場合に比べて結晶の発生数を減少させることができ、その結果、結晶粒を大きくすることができる。

【0014】請求項2による半導体装置の製造方法では、請求項1の構成において、導電膜を形成する工程は、所定部分の体積が所定部分以外の部分の体積よりも小さくなるように導電膜を形成する工程を含む。請求項2では、このように、導電膜をその所定部分の体積が所定部分以外の部分の体積よりも小さくなるように形成することによって、容易に、導電膜の所定部分における電磁波の吸収量を導電膜の所定部分以外の部分における電磁波の吸収量よりも小さくすることができる。

【0015】請求項3による半導体装置の製造方法では、請求項2の構成において、電磁波は、連続発振型レーザ光およびランプ光のいずれかを含む。請求項3では、このように、連続発振型レーザ光またはランプ光からなる電磁波を、請求項2による所定部分の体積が所定部分以外の部分の体積よりも小さくなるように形成された導電膜に照射することによって、容易に導電膜の所定部分における温度を導電膜の所定部分以外の部分よりも低くすることができる。また、電磁波として、連続発振型レーザを用いれば、ELA法で用いるパルスレーザと異なり、レーザ光線の高速走査を行うことができるので、大きな面積を均一で、かつ、短時間で処理することができる。これにより、生産性（スループット）を向上させることができる。また、連続発振型レーザは、パルスレーザに比べて稼働コストが安価であるので、製造コストを低減することができる。さらに、連続発振型レーザは、ELA法で用いるパルスレーザのようにビーム強

度がばらつくことがないので、導電膜の加熱を均一に行うことができる。

【0016】請求項4による半導体装置の製造方法では、請求項3の構成において、導電膜を形成する工程は、所定部分の抵抗率が所定部分以外の部分の抵抗率よりも低くなるように導電膜を形成する工程を含む。請求項4では、このように導電膜をその所定部分の抵抗率が所定部分以外の部分の抵抗率よりも低くなるように形成することによって、容易に、導電膜の所定部分における電磁波の吸収量を導電膜の所定部分以外の部分の電磁波の吸収量よりも小さくすることができる。

【0017】請求項5による半導体装置の製造方法では、請求項4の構成において、電磁波は、高周波およびマイクロ波のいずれかを含む。請求項5では、このように、高周波またはマイクロ波からなる電磁波を、請求項4による所定部分の抵抗率が所定部分以外の部分よりも低くされた導電膜に照射することによって、容易に、導電膜の所定部分における温度を導電膜の所定部分以外の部分よりも低くすることができる。

【0018】

【発明の実施の形態】以下、本発明の実施形態を図面に基つて説明する。

【0019】（第1実施形態）図1～図6は、本発明の第1実施形態による半導体装置の製造方法を説明するための断面図である。図1～図6を参照して、以下に、第1実施形態による半導体装置の製造プロセスについて説明する。

【0020】まず、図1に示すように、無アルカリガラスなどのガラス基板1上に、 SiO_2 や SiN などの絶縁性薄膜からなるバッファ層2をCVD法やスパッタ法などによって形成する。このバッファ層2は、後の熱処理の際に、ガラス基板1中の不純物が上層に拡散するのを防止する機能を有する。バッファ層2上に、プラズマCVD法を用いて非晶質シリコン膜3を約60nmの厚みで形成する。そして、約450℃、約1時間の脱水素処理を行った後、フォトリソグラフィ技術とドライエッチング技術とを用いて、非晶質シリコン膜3を所定形状にパターンニングする。具体的には、非晶質シリコン膜3を半径約5μmを有する円形状にパターンニングする。なお、上記のガラス基板1が、本発明の「基板」に相当し、非晶質シリコン膜3が、本発明の「非晶質膜」に相当する。

【0021】この後、図2に示すように、スパッタ法を用いて、非晶質シリコン膜3上に、Moからなる吸収膜4を約200nmの厚みで形成する。なお、この吸収膜4が、本発明の「導電膜」に相当する。そして、吸収膜4上の所定領域にレジスト5を形成する。

【0022】この後、レジスト5をマスクとして、吸収膜4をドライエッチングすることによって、図3に示されるような、半径約10μmの円形状にパターンニング

された吸収膜4を形成する。この後、レジスト5を除去する。

【0023】次に、図4に示すように、吸収膜4が形成されていないパッファ層2の表面を覆うようにレジスト6を形成する。このレジスト6は、吸収膜4の側面がエッチング（エッチバック）されるのを防止するために形成される。そして、吸収膜4を上面からエッチバックすることによって、図5に示されるような、上部4aの厚みが薄く側部4bの厚みが厚くなるような吸収膜4を形成する。具体的には、吸収膜4の上部4aの厚みが約100nm、側部4bの厚みが約160nmになるように、吸収膜4をエッチバックする。この後、レジスト6を除去する。

【0024】次に、図6に示すように、連続発振型YAG（Yttrium Aluminum Garnet）レーザを用いて、吸収膜4にレーザビームを照射する。この場合の連続発振型YAGレーザの照射条件としては、発振エネルギーが約100W、照射時間が約0.2秒である。この連続発振型YAGレーザの吸収膜4への照射によって、吸収膜4自体が発熱する。そして、この吸収膜4の熱を利用して、非晶質シリコン膜3がアニールされることによって非晶質シリコン膜3が結晶化される。すなわち、吸収膜4からの放射熱により非晶質シリコン膜3を加熱することによって、非晶質シリコン膜3の結晶化を行う。

【0025】第1実施形態では、上記のように、レーザビームが照射された吸収膜4からの放射熱を利用して非晶質シリコン膜3を間接的に加熱することによって、レーザビームを直接非晶質シリコン膜3に照射する場合に比べて、非晶質シリコン膜3の加熱を均一化することができる。すなわち、吸収膜4に照射されるレーザビームにある程度ばらつきがあったとしても、吸収膜4からの熱が非晶質シリコン膜3に放射される際に、その熱のばらつきが緩和される。これにより、非晶質シリコン膜3をほぼ均一に加熱することができる。その結果、巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することができる。

【0026】また、第1実施形態では、吸収膜4の上部4aの厚みを吸収膜4の側部4bの厚みよりも薄くすることによって、非晶質シリコン膜3の上部に接する吸収膜4の上部4aの体積を、非晶質シリコン膜3の側部に接する吸収膜4の側部4bの体積よりも小さくすることができる。これにより、吸収膜4の上部4aのレーザビームの吸収量を、吸収膜4の側部4bのレーザビームの吸収量よりも小さくすることができる。それにより、吸収膜4にレーザビームを照射した場合に、吸収膜4の上部4aの温度を側部4bの温度よりも低くすることができる。この場合、吸収膜4からの熱によって加熱される非晶質シリコン膜3の温度分布としては、非晶質シリコン膜3の中央部で低くなり、周辺部で高くなる。その結

果、非晶質シリコン膜3の結晶化時に、非晶質シリコン膜3の中央部から周辺部に向かって結晶化が進行する。それにより、結晶化がランダムに進行する場合に比べて結晶の発生数を減少させることができ、その結果、結晶粒を大きくすることができる。

【0027】さらに、第1実施形態では、連続発振型YAGレーザを用いることによって、パルスレーザと異なり、レーザ光線の高速走査を行うことができるので、大きな面積の領域を均一にかつ短時間で処理することが可能である。その結果、大型基板にも適用可能となり、生産性（スループット）を向上させることができる。さらに、連続発振型レーザ装置の稼働費はパルスレーザに比べて安価であるので、製造コストを低減することができる。さらに、連続発振型レーザは、ELA法で用いるパルスレーザのようにビーム強度がばらつくことがないので、吸収膜4の加熱を均一に行うことができる。

【0028】（第2実施形態）図7および図8は、本発明の第2実施形態による半導体装置の製造方法を説明するための断面図である。図7および図8を参照して、以下に第2実施形態の半導体装置の製造プロセスについて説明する。

【0029】まず、図7に示すように、無アルカリガラスなどのガラス基板11上に、 SiO_2 や SiN などの絶縁性薄膜からなるパッファ層12を形成する。パッファ層12上に、プラズマCVD法を用いて非晶質シリコン膜13を形成する。その後、CVD法を用いて、非晶質シリコン膜13上に、ノンドーパシリコン膜からなる吸収膜14を約300nmの厚みで形成する。そして、フォトリソグラフィ技術とドライエッチング技術とを用いて、非晶質シリコン膜13および吸収膜14を半径約5 μm の円形状にパターンニングする。この後、吸収膜14の周辺部14b以外の部分を覆うように、レジスト15を形成する。レジスト15をマスクとして、ノンドーパシリコン膜からなる吸収膜14の周辺部14bにリンをイオン注入する。この周辺部14bへのイオン注入の際の注入エネルギーは、35keVであり、ドーズ量は1E15である。このリンのイオン注入によって、吸収膜14の周辺部14bのシート抵抗は、約1000 Ω/\square になる。この後、レジスト15を除去する。

【0030】次に、図8に示すように、吸収膜14の中央部14a以外の部分を覆うように、レジスト16を形成する。レジスト16をマスクとして、ノンドーパシリコン膜からなる吸収膜14の中央部14aにリンをイオン注入する。この中央部14aへのイオン注入の際の注入エネルギーは、35keVであり、ドーズ量は3E15である。このリンのイオン注入によって、吸収膜14の中央部14aのシート抵抗は、約400 Ω/\square になる。これにより、吸収膜14の中央部14aの抵抗率を周辺部14bに比べて小さくすることができる。この後、レジスト16を除去する。

【0031】次に、図9に示すように、吸収膜14に上方からマイクロ波を照射する。このマイクロ波は、約2.45GHz、約3kWで、約5秒間照射する。

【0032】第2実施形態では、上記のように中央部14aが低抵抗化された吸収膜14にマイクロ波を照射することによって、加熱される吸収膜14の中央部14aの温度を周辺部14bよりも低くすることができる。これにより、温度の低い中央部14aに対応する非晶質シリコン膜13の部分（中央部）から非晶質シリコン膜13の周辺部に向かって結晶化が進行する。これにより、結晶化がランダムに進行する場合に比べて結晶の発生数を減少させることができ、その結果、結晶粒を大きくすることができる。

【0033】また、第2実施形態では、公知のイオン注入法を用いて、容易に吸収膜14の中央部14aを低抵抗化することができる。その結果、簡単な製造プロセスで吸収膜14の中央部14aを低抵抗化することができる。

【0034】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0035】たとえば、上記実施形態では、レーザ光またはマイクロ波などの電磁波の吸収量を吸収膜の上部または中央部で小さくするようにしたが、本発明はこれに限らず、上部または中央部以外の所定の部分において、レーザ光またはマイクロ波の吸収量を小さくするようにしても同様の効果を得ることができる。すなわち、本発明では、所定の部分において部分的にレーザ光またはマイクロ波の吸収量を小さくするように構成することによって、その所定の部分に対応する非晶質シリコン膜の部分から結晶化を開始することができる。それにより、結晶化がランダムに進行する場合に比べて結晶の発生数を減少させることができ、その結果、結晶粒を大きくすることができる。

【0036】また、上記第1実施形態では、吸収膜4の上部4aの厚みを薄くするようにしたが、本発明はこれに限らず、図10に示すように、吸収膜4の中央部4cのみの厚みを薄くするようにしてもよい。このようにすれば、吸収膜4の上部4a全体の厚みを薄くする場合に比べて、レーザ光の吸収量が小さく範囲をより小さくすることができる。これにより、レーザ光を照射した場合に、低温になる領域（結晶化が始まる領域）をより小さくすることができるので、結晶の発生数をより減少させることができる。その結果、より大きな結晶粒を得ることができる。

【0037】また、上記第1実施形態では、吸収膜をMoによって形成したが、本発明はこれに限らず、Cr、

Cu、MoSi₂、TiSi₂、TaSi₂、CoSi₂、W、Wシリサイド膜、Co、Ti、Taなどを用いても良い。さらに、使用温度が低い場合（約450℃以下）には、AlやAuなどのいわゆる低融点金属を用いても良い。

【0038】また、上記第2実施形態では、非晶質シリコン膜13上に吸収膜14を形成するようにしたが、本発明はこれに限らず、非晶質シリコン膜13の下に吸収膜14を形成するようにしても同様の効果を得ることができる。

【0039】また、本発明は、多結晶シリコンTFETだけでなく、絶縁ゲート型半導体素子全般に適用可能である。また、太陽電池や光センサーなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ（SIT: Static Induction Transistor）などの多結晶シリコン膜を用いるあらゆる半導体装置に適用可能である。

【0040】また、上記第1実施形態では、連続発振型レーザとして、YAGレーザを用いたが、本発明はこれに限らず、たとえば、Arガスレーザ、ルビーレーザ、炭酸ガスレーザなどの他の連続発振型レーザを用いても良い。また、第1実施形態において、連続発振型レーザに代えて、ランプ光を用いるようにしても良い。

【0041】また、第2実施形態において、マイクロ波に代えて、高周波を用いるようにしても良い。なお、上記したマイクロ波、高周波、レーザ光、ランプ光などを総称して本発明では「電磁波」としている。

【0042】また、上記実施形態では、非晶質シリコン膜上に直接吸収膜を形成するようにしたが、本発明はこれに限らず、非晶質シリコン膜と吸収膜との間に別種の層を挟むようにしても同様の効果を得ることができる。

【0043】また、上記実施形態では、非晶質シリコン膜をプラズマCVD法によって形成したが、本発明はこれに限らず、減圧CVD法、常圧CVD法、光励起CVD法、蒸着法、EB（Electron Beam）蒸着法、MBE（Molecular Beam Epitaxy）法、スパッタ法からなるグループの内いずれか1つの方法によって形成しても良い。

【0044】

【発明の効果】以上のように、本発明によれば、巨大な結晶粒または単結晶を歩留まりを低下させることなく形成することができる。また、巨大な結晶粒または単結晶を低コストおよび高スループットで形成することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図2】本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図3】本発明の第1実施形態による半導体装置の製造

プロセスを説明するための断面図である。

【図4】本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図5】本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図6】本発明の第1実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図7】本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図8】本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図9】本発明の第2実施形態による半導体装置の製造プロセスを説明するための断面図である。

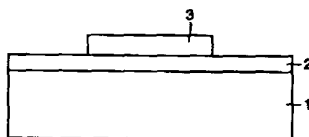
*

*【図10】本発明の第1実施形態の変形例による半導体装置の製造プロセスを説明するための断面図である。

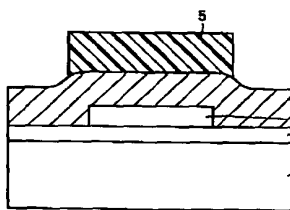
【符号の説明】

- 1、11 ガラス基板（基板）
- 2、12 バッファ層
- 3、13 非晶質シリコン膜（非晶質膜）
- 4、14 吸収膜（導電膜）
- 4a 上部
- 4b 側部
- 4c 中央部
- 14a 中央部
- 14b 周辺部

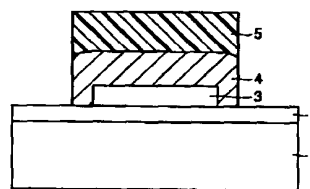
【図1】



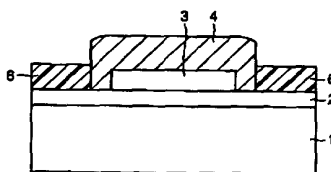
【図2】



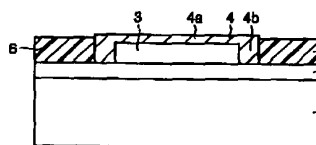
【図3】



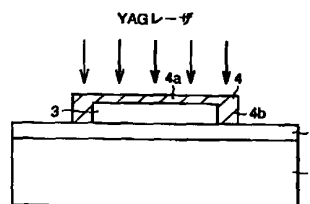
【図4】



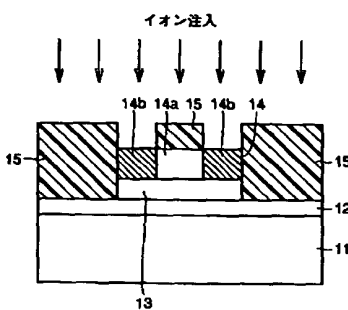
【図5】



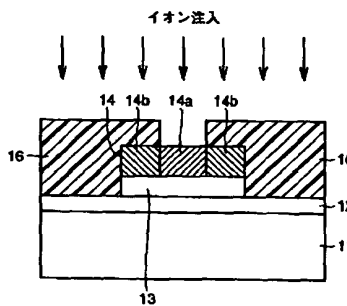
【図6】



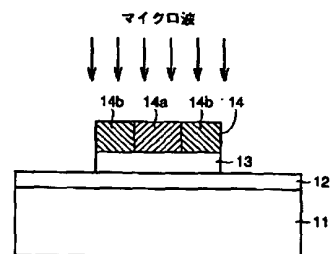
【図7】



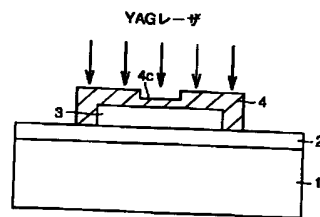
【図8】



【図9】



【図10】



フロントページの続き

F ターム(参考) 5F052 AA02 AA06 AA11 AA24 BB01
BB02 BB05 BB06 CA04 CA07
DA02 DB01 DB02 DB03 DB04
DB05 DB06 DB07 EA02 EA05
FA04 FA19 FA22
SF110 AA30 BB01 DD02 DD13 DD14
GG02 GG13 GG25 GG45 PP01
PP02 PP03 PP11 PP35